

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08087840 A**

(43) Date of publication of application: **02 . 04 . 96**

(51) Int. Cl.

G11B 20/18
G11B 20/18
H04N 5/907
H04N 5/92
H04N 5/937
H04N 7/30

(21) Application number: **06221753**

(22) Date of filing: **16 . 09 . 94**

(71) Applicant: **CANON INC**

(72) Inventor: **OISHI AKIHIRO**

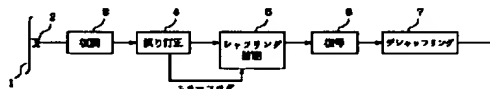
(54) **REPRODUCER AND DATA PROCESSOR**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To suppress deterioration in the image quality of reproduced image while reducing the memory by controlling read/write of the memory.

CONSTITUTION: Digital data, e.g. image data, sound data and subcode data, are reproduced from a magnetic tape 1 through a head 2 and delivered to a demodulation circuit 3. The circuit 3 demodulates the reproduced data and delivers the demodulated data to an error correction circuit 4 where the error of reproduced data is corrected using a parity data, affixed at the time of recording, in the unit of image data block for a plurality of pixels. The corrected data is delivered to a shuffling/interpolation circuit 5 and an error flag is affixed to an uncorrectable data. The circuit 5 alters the order of reproduced data and interpolates an error data before it is fed to a decoding circuit 6. The circuit 6 performs corresponding expansion and decoding and delivers a decoded signal to a deshuffling circuit 7. The circuit 7 rearranging the decoded data according to an order corresponding to raster scan and delivers the rearranged data. This constitution reduces the memory and prevents the quality of reproduced image from deteriorating.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-87840

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/18	5 6 0 B	8940-5D		
	5 7 0 D	8940-5D		
H 0 4 N 5/907	B			
			H 0 4 N 5/ 92	H
			5/ 93	C
審査請求 未請求 請求項の数10 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平6-221753

(22) 出願日 平成6年(1994)9月16日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 大石 晃弘

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

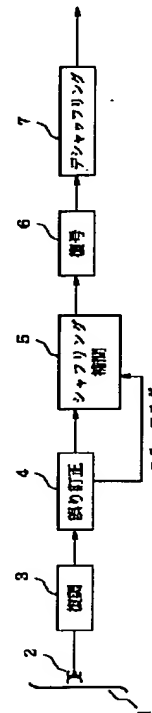
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 再生装置及びデータ処理装置

(57) 【要約】

【目的】 メモリの書込、読出を制御することにより、メモリを削減し、かつ、再生画像の画質劣化の少ない装置を提供する。

【構成】 再生装置は、画像データを再生する再生手段と、前記画像データ中の誤りデータを検出する誤り検出手段と、前記再生手段により再生された画像データを記憶する複数のメモリと、前記誤り検出手段の出力に応じて、前記複数のメモリから読み出した画像データに対して他のメモリから読み出した画像データを前記所定メモリからの読出データとして出力するように前記メモリを制御する制御手段とを備えて構成されている。



【特許請求の範囲】

【請求項1】 画像データを再生する再生手段と、
前記画像データ中の誤りデータを検出する誤り検出手段と、
前記再生手段により再生された画像データを記憶する複数のメモリと、

前記誤り検出手段の出力に応じて、前記複数のメモリのうち所定メモリから読み出した画像データに対して他のメモリから読み出した画像データを前記所定メモリからの読み出しデータとして出力するように前記メモリを制御するメモリ制御手段とを備える再生装置。

【請求項2】 それぞれ書き込み・読み出し可能な複数のメモリ領域を有し、入力データを記憶するメモリ手段と、

前記メモリ手段における所定領域から読み出したデータに対して、他の領域から読み出したデータを前記所定領域からの読み出しデータとして出力するように前記メモリ手段を制御するメモリ制御手段とを備えるデータ処理装置。

【請求項3】 入力データは画像データであり、前記メモリ手段における各メモリ領域はそれぞれ1画面分の前記画像データを単位として前記データを記憶することを特徴とする請求項2に記載のデータ処理装置。

【請求項4】 請求項3に記載の装置において、前記入力データ中の誤りデータを検出する誤り検出手段を備え、
前記メモリ制御手段は前記誤り検出手段の出力に応じて前記メモリを制御することを特徴とするデータ処理装置。

【請求項5】 前記誤り検出手段は複数の画像データからなるブロック単位に前記誤りデータを検出し、
前記メモリ制御手段は前記ブロック単位に前記メモリに対する前記画像データの書き込み・読み出しを制御することを特徴とする請求項4に記載のデータ処理装置。

【請求項6】 前記メモリ制御手段は、前記他の領域において、前記所定領域から読み出したデータに対応した位置に記憶されているデータを読み出すように前記メモリ手段を制御することを特徴とする請求項2に記載のデータ処理装置。

【請求項7】 前記メモリ手段に書き込まれるデータの順序と前記メモリ手段から読み出されるデータの順序が異なることを特徴とする請求項2に記載のデータ処理装置。

【請求項8】 それぞれ書き込み・読み出し可能な複数のメモリ領域を有し、前記入力データを記憶するメモリ手段と、

前記メモリ手段における所定領域に書き込むべきデータに対して、他の領域から読み出したデータを前記所定領域に書き込むデータとするように前記メモリ手段を制御する制御手段とを備えるデータ処理装置。

【請求項9】 請求項8に記載の装置において、
前記入力データ中の誤りデータを検出する誤り検出手段を備え、
前記メモリ制御手段は前記誤り検出手段の出力に応じて前記メモリを制御することを特徴とするデータ処理装置。

【請求項10】 前記メモリ制御手段は、前記他の領域において、前記所定領域に書き込むデータに対応した位置に記憶されているデータを読み出すように前記メモリ手段を制御することを特徴とする請求項8に記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、再生装置及びデータ処理装置に関し、特には再生及び入力データのメモリへの書き込み・読み出しの制御に関する。

【0002】

【従来の技術】従来より画像信号をデジタル化して圧縮・符号化し、テープに対して記録再生するデジタルVTRが知られている。

【0003】このようなデジタルVTRにおいては、テープから再生したデジタル信号の誤りを記録時に付加したパリティデータを用いて訂正し、記録時とは逆の伸長・復号化処理を行うことにより再生画像信号を得ている。

【0004】また、誤り訂正が不能であったデータについてはその前後の正しく再生されたデータにより置き換える、いわゆる補間処理を施すことにより再生画像の劣化を防いでいる。図6はこのような補間回路の構成例を示すブロック図である。

【0005】図6において、誤り訂正処理が施された画像データがスイッチ201に入力し、スイッチ201を介してそれぞれ1フレーム分の容量を有するメモリ203、204に記憶される。また、入力データが誤り訂正不能データ（以下エラーデータ）であることを示す誤りフラグ（以下エラーフラグ）がスイッチ202に入力し、スイッチ202を介してそれぞれ1フレーム分のエラーフラグを記憶可能なフラグメモリ205、206に1フレームずつ交互に記憶される。

【0006】なお、デジタルVTRにおいては、再生された画像データに対して1フレーム単位で後段の復号処理に適した順番（再生された順番とは異なる）でデータを読み出すシャフリングの処理が行われる。従って、各メモリに書き込まれるデータの順番と読み出されるデータの順番が異なるので、メモリは1フレームずつ2つ必要になる。

【0007】メモリ203、204に記憶された画像データはスイッチ207を介して交互に読み出され、スイッチ209を介して遅延回路210及び後段の回路に出力される。

【0008】制御回路211はスイッチ201、202及び207、208を制御して、各メモリへの書き込み・読み出しの制御をしている。

【0009】フラグメモリ205、206から読み出されたエラーフラグはスイッチ208を介してスイッチ209に出力され、スイッチ209はエラーフラグに基づいて、読み出されたデータがエラーデータである場合には遅延回路210側に接続し、それ以外の場合にはスイッチ207側に接続する。

【0010】遅延回路210はスイッチ209の出力データを1フレーム分遅延させてスイッチ209に出力する。このように構成することにより、エラーデータを1フレーム前のデータにより補間するフレーム間補間が行われ、再生画像の画質劣化を防止することができる。

【0011】

【発明が解決しようとしている課題】しかしながら、前述の如き従来例では、再生画像データのシャフリング用のデータメモリの他に補間用のメモリが1フレーム分必要であった。このため、回路全体のメモリ容量が増大するという問題があった。

【0012】前記課題を考慮して、本発明は、メモリの書き込み・読み出しを制御することによりメモリを削減し、かつ、再生画像の画質劣化の少ない装置を提供することを目的とする。

【0013】

【課題を解決するための手段】従来抱えている課題を解決し、前記目的を達成するため、本発明は、画像データを再生する再生手段と、前記画像データ中の誤りデータを検出する誤り検出手段と、前記再生手段により再生された画像データを記憶する複数のメモリと、前記誤り検出手段の出力に応じて、前記複数のメモリのうち所定メモリから読み出した画像データに対して他のメモリから読み出した画像データを前記所定メモリからの読出データとして出力するように前記メモリを制御するメモリ制御手段とを備えて構成されている。

【0014】

【作用】本発明はこのように構成したので、メモリを削減しつつ再生画像の劣化のを防止できる。

【0015】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0016】本実施例では、本発明をデジタルVTRに適用した場合について説明する。図1は本発明に係るデジタルVTRの再生系の構成を示すブロック図である。

【0017】図1において、ヘッド2により磁気テープ1から画像データ、音声データ及びサブコードデータを含むデジタルデータが再生され、復調回路3に出力される。復調回路3は再生されたデータを復調して後段の処理に適した形式のデータに変換し、誤り訂正回路4に出力する。誤り訂正回路4は複数画素分の画像データから

なるブロック単位で記録時に付加されたパリティデータを用いて再生データ中の誤りを訂正し、シャフリング・補間回路5に出力する。また、誤り訂正不能なデータに対してはエラーフラグを出力する。

【0018】シャフリング・補間回路5は後述のように再生データの順番を変えて出力すると共に、エラーデータに対して補間処理を行って復号回路6に出力する。復号回路6は記録時に応じた伸長・復号処理を施してデシャフリング回路7に出力する。デシャフリング回路7は復号データをラスタスキャンに応じた順番に並び変えて出力する。

【0019】次に、図1におけるシャフリング・補間回路5について説明する。

【0020】図2はシャフリング補間回路5の構成を示すブロック図である。本実施例ではそれぞれ1フレーム分の容量を有するメモリを2つ設け、再生された画像データを交互に書き込み・読み出しする場合について説明する。また、図1はメモリ109、111が書き込み状態であり、メモリ110、112が読み出し状態である様子を示している。

【0021】図1において、端子101からは誤り訂正処理の施された画像データが入力し、また、端子102にはエラーフラグが入力する。端子101から入力した画像データはスイッチ106を介してメモリ109、110に出力され、各メモリにおける書き込みアドレス発生回路から出力されたアドレスに書き込まれる。

【0022】また、端子102から入力したエラーフラグはフラグ判定回路103及びスイッチ108を介してフラグメモリ111、112に出力される。

【0023】フラグメモリ111、112はそれぞれ1フレーム分のエラーフラグを記憶可能で、スイッチ108は制御回路120により制御されて1フレームごとに交互にアドレス発生回路104から出力されたアドレスに記憶される。

【0024】フラグ判定回路103は入力されたエラーフラグに基づいてスイッチ106を切り換える回路で、入力データに対するエラーフラグが検出されない場合には1フレームごとに端子aと端子cとに交互に切り換える。

【0025】また、エラーフラグを検出した場合には入力データがエラーデータであるのでスイッチ106を切り換えて、端子cに接続することにより各メモリ109、110への画像データの書き込みを禁止している。従って、書き込み状態にあるメモリにおいてエラーフラグによりデータが書き込まれなかったアドレスには、現在入力している画像データの2フレーム前の画面上の同じ位置の画像データがそのまま記憶されていることになる。

【0026】このように書き込み側においては、エラーフラグに基づいてスイッチ106を切り換えることによ

り、エラーデータをメモリに書き込まず、正しく再生されたデータのみを書き込むように制御している。

【0027】次に、読み出し側の処理について説明する。

【0028】前述のように、メモリ109、110及びフラグメモリ111、112にはそれぞれ1フレーム分の画像データ及びエラーフラグが記憶される。本実施例ではメモリ110及びフラグメモリ112が読み出し状態にあるので、読み出しアドレス発生回路により出力されたアドレスの画像データ及びエラーフラグが夫々読み出される。読み出された画像データはスイッチ113を介して出力される。

【0029】また、フラグメモリ112から読み出されたエラーフラグはスイッチ115を介してフラグ判定回路118に出力される。フラグ判定回路118は前記フラグ判定回路103と同様に入力されたエラーフラグに基づいてスイッチ113及び114を切り換える。

【0030】すなわち、フラグメモリ112からエラーフラグが読み出されていないときにはスイッチ113、114をそれぞれb端子に接続して読み出しアドレス発生回路117の出力するアドレスに記憶されている画像データをメモリ110から読み出す。

【0031】これに対し、フラグメモリ112から読み出されたエラーフラグを検出した場合、スイッチ113、114を切り換えてa端子に接続し、書き込み側のメモリであるメモリ109に記憶されている画像データを読み出して出力する。

【0032】前述のように、本実施例においては2つのメモリ109、110は1フレームを単位として交互に書き込み・読み出しを行っている。また、メモリ109は今書き込み状態であるので、読み出し状態にあるメモリ110に記憶されている画像データよりも1フレーム後の画像データを書き込んでいることになる。そして、メモリ109において現在の入力データが書き込まれていないアドレスの画像データは、メモリ110に記憶されている画像データに対して1フレーム前のデータが記憶されている。

【0033】従って、メモリ110からの画像データの読み出し時にメモリ109のデータを読み出すことにより1フレーム前または後のいずれかのデータを出力することになる。本実施例では、このようにエラーデータに対して1フレーム前または後のデータを出力することによりエラーデータの1フレーム前後の画像データで補間することになるが、現在メモリ110から読み出されているデータに対してはどちらも時間差が同じため、どちらのデータが読み出されたとしても再生画像に対する影響はさほど変わらない。

【0034】このように読み出されたデータは出力端子119を介して後段の復号回路6に出力される。

【0035】以上説明したように、本実施例ではデータ

の書き込み時及び読み出し時にエラーフラグを検出し、この検出出力に応じてデータの書き込み・読み出しを制御することにより補間を行っているので、フレーム間補間用のメモリを削減できると共に従来と同様のフレーム間補間を行うことができ、再生画質の劣化を防止することが可能になる。

【0036】なお、前述の実施例では書き込み側・読み出し側の両方にフラグ判定回路を設けて、データの書き込み・読み出しを共に制御する構成としたが、書き込み側だけに設けることも可能である。

【0037】但し、この場合読み出し側では1フレームごとに交互にデータを読み出すので、エラーデータに対応したデータは2フレーム前のデータとなり、前述の実施例より相関の低いデータで補間することになる。

【0038】また、前述のとおり、シャプニング・補間回路5には画像データの他に音声データやサブコードデータも入力され、これらのすべてのデータに対してシャプニング処理が施されるが、本実施例では簡単のため画像データについて説明した。

【0039】次に、本発明の第2の実施例について説明する。図3は第2の実施例としてのシャプニング・補間回路の構成を示すブロック図である。なお、前述の実施例と同様の構成には同一番号を付して詳細な説明を省略する。また、本実施例においてはメモリ109が読み出し状態、メモリ110が書き込み状態にあるものとする。

【0040】図3において、再生画像データがスイッチ121を介してメモリ109、110に出力され、また、エラーフラグがフラグ判定回路103に出力される。

【0041】フラグ判定回路103は前述のようにエラーフラグに基づいて入力データがエラーデータであるかを判別してスイッチ121、122を制御する回路である。

【0042】まず、入力データに誤りがないと判定された場合、スイッチ121、122を制御して、入力データをメモリ110におけるアドレス発生回路104の出力するアドレスに記憶する。この時の様子を図4に示す。

【0043】これに対し、入力データがエラーデータであると判定された場合、端子101に入力されているデータはエラーデータであるのでメモリ110には書き込まずに補間する必要がある。このときメモリ109には1フレーム前のデータが記憶されており、各メモリの同一アドレスには画面上の同位置のデータが記憶されている。

【0044】このようなことから、フラグ判定回路103は入力データがエラーデータであることを検出するとスイッチ122を制御してメモリ109、110の両方に同じ書き込みアドレスを出力する。また、フラグ判定

7

回路103はスイッチ121を制御すると共に制御回路120にエラーデータである旨を示す信号を出力して、制御回路120はメモリ109において書き込みアドレス発生回路104により指定されたアドレス、つまりエラーデータが書き込まれるべきアドレスのデータを読み出してメモリ110に出力し、記憶するように各メモリを制御する。このときの様子を図5に示す。

【0045】読み出し時はスイッチ113、114を1フレームごとに切り換えて各メモリから交互にデータを読み出す。

【0046】このように、本実施例においては、データの書き込み時にエラーフラグに基づいてエラーデータを検出し、すでにデータの書き込まれているメモリから対応する位置のデータを読み出してエラーデータのかわりに書き込むことによりエラーデータの補間を行っているため、前述の実施例に比べて更にフラグメモリをも削減しつつ再生画質の劣化を防止することができる。

【0047】なお、前述の実施例では1つの画像データごとに補間を行う場合について説明したが、一般にデジタルVTRにおいては複数の画像データからなるブロック単位に誤り訂正が行われる。従って、データの補間もこのブロック単位で行われることが多く、本発明はこのような場合であっても適用可能であるのはいうまでもない。

【0048】また、前述の実施例ではフレームメモリを用いてフレーム単位でデータの書き込み・読み出し及び補間を行う場合について説明したが、これに限らずフィールド単位等の他の期間ごとに行ってもよい。

【0049】更に、前述の実施例では2つのメモリを別々に設けたが、1つのメモリが複数の領域に分割されて*

8

おり、それぞれの領域が独立して書き込み・読み出し可能ないわゆるデュアルポートメモリであってもよいし、3つ以上のメモリを用いることも可能である。

【0050】

【発明の効果】以上の説明から明らかなように、本発明では、再生データ中の誤りデータを検出したことに応じて、所定のメモリからの読み出しデータを他のメモリからの読み出しデータに切り換えて出力しているため、特別に遅延手段を設けることなく誤りデータの補間を行うことができる。

【0051】従って、メモリを削減可能であると共に再生画質の劣化を防止することが可能になる。

【図面の簡単な説明】

【図1】本発明の実施例としてのデジタルVTRの構成を示すブロック図である。

【図2】図1におけるシャフリング・補間回路の構成例を示すブロック図である。

【図3】図1におけるシャフリング・補間回路の他の構成を示すブロック図である。

【図4】図3に示した回路の動作を説明するための図である。

【図5】図3に示した回路の動作を説明するための図である。

【図6】従来の補間回路の構成を示す図である。

【符号の説明】

4 誤り訂正回路

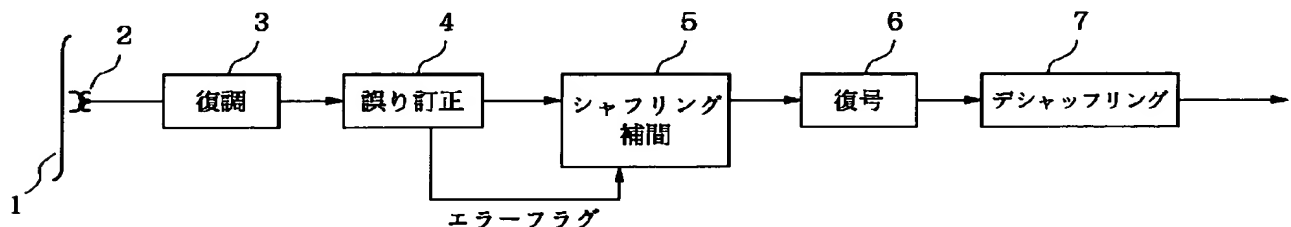
5 シャフリング・補間回路

103 フラグ判定回路

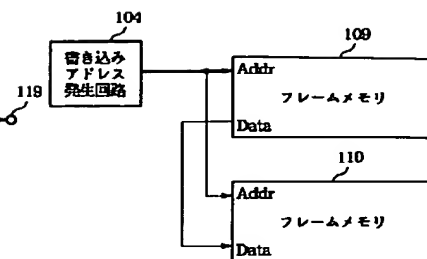
104 書き込みアドレス発生回路

117 読み出しアドレス発生回路

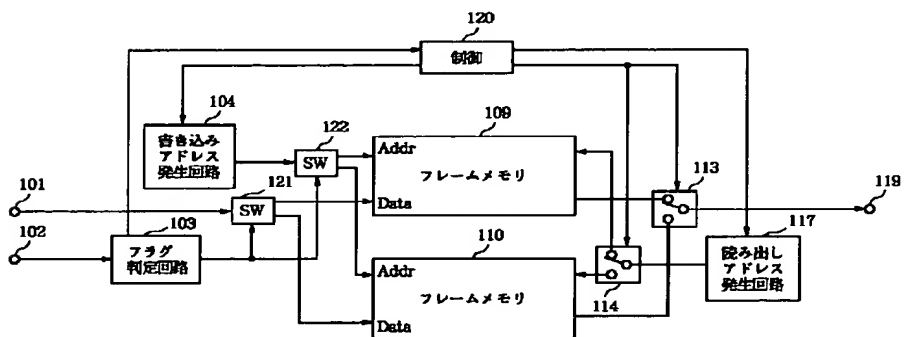
【図1】



【図 5】

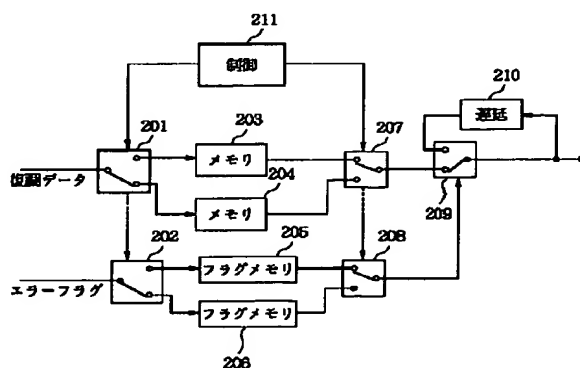
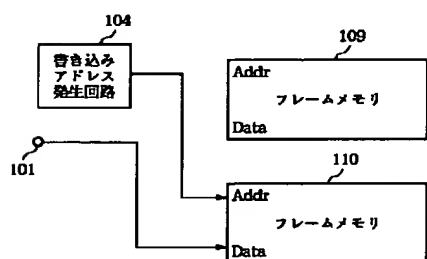


【図 3】



【図 4】

【図 6】



フロントページの続き

(51) Int. Cl. ⁶H 0 4 N 5/92
5/937
7/30

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/133

A